

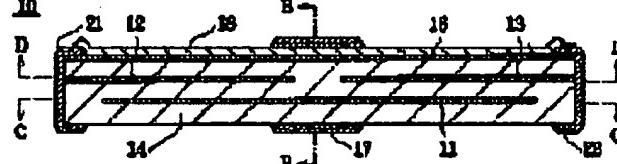
# CHIP TYPE LOW PASS FILTER

**Patent number:** JP8265083  
**Publication date:** 1996-10-11  
**Inventor:** DAANARU PAAKAA BAAKUSU  
**Applicant:** MITSUBISHI MATERIALS CORP  
**Classification:**  
- **international:** H01G4/12; H01G4/40; H03H7/06; H03H7/075;  
H01G4/12; H01G4/40; H03H7/01; H03H7/075; (IPC1-7):  
H03H7/06; H01G4/12; H01G4/40; H03H7/075  
- **european:**  
**Application number:** JP19950065922 19950324  
**Priority number(s):** JP19950065922 19950324

[Report a data error here](#)

## Abstract of JP8265083

**PURPOSE:** To mount a very small sized form of one chip onto a printed circuit board with high density through the provision of an RC or an LC function. **CONSTITUTION:** First-third internal electrodes 11-13 are provided in the inside of a bare chip 14 made of a ceramic dielectric material and the 1st internal electrode 11 is formed so as not to appear at chip both ends opposite to each other and the 2nd and 3rd internal electrodes 12, 13 are formed so that each one-side ends has an interval and each other end appears at both chip ends and is opposite with each other via the 1st internal electrode 11 and a ceramic dielectric material. A center resistive electrode 17 electrically connected with the 1st internal electrode 11 is baked around the middle part of the bare chip 14 and the resistive layer 16 isolated electrically with the center electrode 17 are formed from one end of the surface of the bare chip 14 to the other end so as to be opposite with each other via the 2nd and 3rd internal electrodes 12, 13 and a ceramic dielectric material. A couple of terminal electrodes 21, 22 electrically connected with the 2nd and 3rd internal electrodes 12, 13 and the resistive layer 16 are baked to both ends of the bare chip 14.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-265083

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 03 H 7/06			H 03 H 7/06	
H 01 G 4/12	3 4 9		H 01 G 4/12	3 4 9
	4/40		H 03 H 7/075	A
H 03 H 7/075		7924-5E	H 01 G 4/40	3 0 7
		7924-5E		3 2 1

審査請求 未請求 請求項の数6 O L (全7頁)

(21)出願番号	特願平7-65922	(71)出願人	000006264 三菱マテリアル株式会社 東京都千代田区大手町1丁目5番1号
(22)出願日	平成7年(1995)3月24日	(72)発明者	ダーナル・パーカー・パークス 埼玉県秩父郡横瀬町大字横瀬2270番地 三菱マテリアル株式会社電子技術研究所内

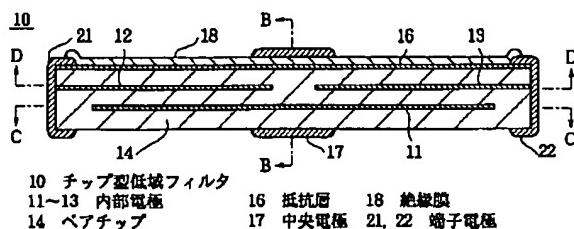
(74)代理人 弁理士 須田 正義

(54)【発明の名称】チップ型低域フィルタ

(57)【要約】

【目的】1チップの極めて小型の形態で、RC又はLCの機能を有し、高密度にプリント回路基板に実装できる。

【構成】セラミック誘電体からなるペアチップ14の内部には第1～第3内部電極11～13が設けられる。第1内部電極は相対向するチップ中央側部に現れかつチップ両端部に現れず、第2及び第3内部電極は各一端が互いに間隔をあけて各他端がチップ両端部に現れかつ第1内部電極とセラミック誘電体を介して対向する。ペアチップの中央部周囲に第1内部電極に導通する中央電極17が焼付けられ、中央電極と電気的に絶縁された抵抗層16がペアチップの表面の一端部から他端部にかけて第2及び第3内部電極とセラミック誘電体を介して対向するように形成される。ペアチップの両端部に第2及び第3内部電極と抵抗層にそれぞれ導通する一对の端子電極21, 22が焼付けられる。



## 【特許請求の範囲】

【請求項1】 セラミック誘電体により構成され、チップ内部に第1内部電極(11)と第2内部電極(12, 32, 32)と第3内部電極(13, 33, 33)が設けられ、前記第1内部電極(11)は相対向するチップ中央側部に現れかつチップ両端部に現れないように形成され、前記第2内部電極(12, 32, 32)及び第3内部電極(13, 33, 33)は各一端が互いに間隔をあけて各他端が前記チップ両端部に現れかつ前記第1内部電極(11)と前記セラミック誘電体を介して対向するように形成されたペアチップ(14)と。

前記ペアチップ(14)の中央部周囲に前記第1内部電極(11)に導通するように焼付けられた中央電極(17)と、前記中央電極(17)と電気的に絶縁されかつ前記ペアチップ(14)の表面の一端部から他端部にかけて前記第2内部電極(12, 32, 32)及び第3内部電極(13, 33, 33)と前記セラミック誘電体を介して対向するように形成された抵抗層(16)と、

前記ペアチップ(14)の両端部に前記第2内部電極(12, 32, 32)及び第3内部電極(13, 33, 33)と前記抵抗層(16)にそれぞれ導通するように焼付けられた一対の端子電極(21, 22)とを備えたチップ型低域フィルタ。

【請求項2】 抵抗層(16)の表面が絶縁膜(18)で被覆された請求項1記載のチップ型低域フィルタ。

【請求項3】 抵抗層(16)に所望の長さの切込み(16a, 16b)が入れられRC時定数が所望の値に設定された請求項1又は2記載のチップ型低域フィルタ。

【請求項4】 セラミック誘電体により構成され、チップ内部に第1内部電極(11)と第2内部電極(12, 72, 72)と第3内部電極(13, 73, 73)が設けられ、前記第1内部電極(11)は相対向するチップ中央側部に現れかつチップ両端部に現れないように形成され、前記第2内部電極(12, 72, 72)及び第3内部電極(13, 73, 73)は各一端が互いに間隔をあけて各他端が前記チップ両端部に現れかつ前記第1内部電極(11)と前記セラミック誘電体を介して対向するように形成されたペアチップ(14)と、

前記ペアチップ(14)の中央部周囲に前記第1内部電極(11)に導通するように焼付けられた中央電極(17)と、前記中央電極(17)と電気的に絶縁されかつ前記ペアチップ(14)の表面の一端部から他端部にかけて前記第2内部電極(12, 72, 72)及び第3内部電極(13, 73, 73)と前記セラミック誘電体を介して対向するように形成されたインダクタ層(56)と、

前記ペアチップ(14)の両端部に前記第2内部電極(12, 72, 72)及び第3内部電極(13, 73, 73)と前記インダクタ層(56)にそれぞれ導通するように焼付けられた一対の端子電極(21, 22)とを備えたチップ型低域フィルタ。

【請求項5】 インダクタ層(56)の表面が絶縁膜(18)で被覆された請求項4記載のチップ型低域フィルタ。

【請求項6】 インダクタ層(56)に所望の長さの切込み(56a, 56b)が入れられLC時定数が所望の値に設定され

た請求項4又は5記載のチップ型低域フィルタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、プリント回路基板の表面に実装可能なチップ型フィルタに関する。更に詳しくは低域フィルタに適するチップ型低域フィルタに関するものである。

## 【0002】

【従来の技術】1950年代の初期から厚膜回路基板は商業的に製造されてきている。この回路製品はセラミック基板上にスクリーン印刷によって形成された抵抗体のネットワークに基づいていた。この回路の抵抗体は炭素系の組成であり、導電体はAgであり、基板はアルミニウム又はステアタイトであった。基板をBaTiO<sub>3</sub>又はこれに近い高い比誘電率を有する誘電体で作ると、誘電体である基板がコンデンサになってRC(抵抗の抵抗値R、コンデンサの容量C)回路を作り得ることがその後まもなく見い出された。そして抵抗体パターンをコンデンサ上に位置させれば、連続的に静電容量が変化するため、分布した(distributed)RC機能が得られることが判明した。このRCの分布したネットワークは高周波フィルタとして有用で別々のRとCの部品より構成されたフィルタでは得られない特性を有することが明らかになった。特筆すべきことは、これらの製品は誘電体のセラミック基板をコンデンサとして用い、表面に形成した抵抗パターンと基板内部で接続する構造を持つ導電体回路から構成されていたことである。後に薄膜技術が同様な目的のために用いられた。例えばRCネットワークを作るためにTa/Ta<sub>2</sub>O<sub>5</sub>の技術が開発され、Ta<sub>2</sub>O<sub>5</sub>を誘電体として用い、これらのいくつかは分布したRC型の機能があった。

## 【0003】

【発明が解決しようとする課題】しかし、上記従来のRCフィルタは誘電体が基板であって、比較的大型であるため、プリント回路基板に実装するには不適であり、基板表面実装用のチップ形状をなしていなかった。本発明の目的は、1チップの極めて小型の形態で、RC又はLC(インダクタのインダクタンスL、コンデンサの容量C)の機能を有し、高密度にプリント回路基板に実装し得るチップ型低域フィルタを提供することにある。

## 【0004】

【課題を解決するための手段】図1～図5に示すように、本発明の第1のチップ型低域フィルタ10は、セラミック誘電体により構成され、チップ内部に第1内部電極11と第2内部電極12と第3内部電極13が設けられ、第1内部電極11は相対向するチップ中央側部に現れかつチップ両端部に現れないように形成され、第2内部電極12及び第3内部電極13は各一端が互いに間隔をあけて各他端がチップ両端部に現れかつ第1内部電極11とセラミック誘電体を介して対向するように形成さ

れたペアチップ14と、ペアチップ14の中央部周囲に第1内部電極11に導通するように焼付けられた中央電極17と、中央電極17と電気的に絶縁されかつペアチップ14の表面の一端部から他端部にかけて第2内部電極12及び第3内部電極13とセラミック誘電体を介して対向するように形成された抵抗層16と、ペアチップ14の両端部に第2及び第3内部電極12、13と抵抗層16にそれぞれ導通するように焼付けられた一対の端子電極21、22とを備えたものである。

【0005】図9～図13に示すように、本発明の第2のチップ型低域フィルタ50は、セラミック誘電体により構成され、チップ内部に第1内部電極11と第2内部電極12と第3内部電極13が設けられ、第1内部電極11は相対向するチップ中央側部に現れかつチップ両端部に現れないように形成され、第2内部電極12及び第3内部電極13は各一端が互いに間隔をあけて各他端がチップ両端部に現れかつ第1内部電極11とセラミック誘電体を介して対向するように形成されたペアチップ14と、ペアチップ14の中央部周囲に第1内部電極11に導通するように焼付けられた中央電極17と、中央電極17と電気的に絶縁されかつペアチップ14の表面の一端部から他端部にかけて第2内部電極12及び第3内部電極13とセラミック誘電体を介して対向するように形成されたインダクタ層56と、ペアチップ14の両端部に第2及び第3内部電極12、13とインダクタ層56にそれぞれ導通するように焼付けられた一対の端子電極21、22とを備えたものである。

【0006】本発明の第1のチップ型低域フィルタ10は、湿式積層法又は乾式積層法により作られる。先ず最初にBaTiO<sub>3</sub>系又はPb系の誘電体セラミック粉末、有機バインダ、可塑剤及び有機溶剤を混合して誘電体ベースト又は誘電体スラリーを調製する。湿式積層法では、この誘電体ベーストをカーテンコート法により台板上にセラミック誘電体層を積層し乾燥した後、この誘電体層の上に間隔をあけて導電性ベーストをスクリーン印刷し乾燥することにより同一平面上に多数の第1内部電極11を形成する。次にこの内部電極11の上に誘電体ベーストを同様に積層した後、導電ベーストをスクリーン印刷し乾燥することにより多数の第2及び第3内部電極12、13を同一平面上に所定の間隔をあけて形成する。更にこれらの内部電極12、13の上に誘電体ベーストを同様に積層する。この積層体を脱バインダ処理した後、焼成し、この焼結体の表面に所定の間隔をあけて抵抗層16となるベーストをスクリーン印刷し乾燥して焼成する。

【0007】第1内部電極11と第2及び第3内部電極12、13と抵抗層16は図1～図4に示すように上方から見たときにはば重なり合って形成される。また抵抗層16は所望の抵抗値が得られれば、その幅を第1～第3内部電極11～13の幅より小さくしても、同一にし

ても或いは大きくしてもよい。この焼結体を抵抗層16の単位で、一端部に第2内部電極12が現れ、他端部に第3内部電極13が現れ、かつ中央両側部に第1内部電極11が現れるようにチップ状に切断する。得られたペアチップ14の一端部に導電性ベーストを塗布し焼付けて第1内部電極11の他端部及び抵抗層16の一端部に導通するように一方の端子電極21を形成し、ペアチップ14の他端部に導電性ベーストを塗布し焼付けて第2内部電極12の他端部及び抵抗層16の他端部に導通するように他方の端子電極22を形成する。

【0008】抵抗層16の表面に絶縁膜18を形成した後に、ペアチップ14の中央周囲に導電性ベーストを塗布し焼付けて第1内部電極11の中央両側部に導通するように中央電極17を形成する。絶縁膜18としてはSiO<sub>2</sub>を主成分とする膜が好ましい。この絶縁膜18の形成方法としては、ガラスベーストを塗布し焼成する厚膜形成法、或いは真空蒸着法、スパッタリング法、イオンプレーティング法のような物理蒸着法(PVD法)又は化学蒸着法(CVD法)の薄膜形成法により行われる。また絶縁膜18はペアチップ14の両端部に端子電極21、22を形成する前に抵抗層16の表面に形成してもよく、セラミック焼結体をチップ状に切断する前に抵抗層16の表面に形成してもよい。

【0009】上記チップ型フィルタ10を乾式積層法で製造するには、上記誘電体スラリーをドクタブレード法等により成膜乾燥してセラミックグリーンシートを作り、このグリーンシートからなる誘電体層の上に湿式積層法と同様に第1内部電極11を形成する。この内部電極11の上に上記グリーンシートを積層した後、このグリーンシートの上に湿式積層法と同様に第2及び第3内部電極12、13を形成する。次にこれらの内部電極12、13の上に上記グリーンシートを積層する。以下、湿式積層法と同様に積層体の焼成、抵抗層16の形成、焼結体のチップ化を行い、端子電極21、22を形成し、最後に抵抗層16の表面を絶縁膜18で被覆した後に中央電極17を形成する。この場合、絶縁膜18は上記湿式積層法と同様にペアチップ14の両端部に端子電極21、22を形成する前に抵抗層16の表面に形成してもよく、セラミック焼結体をチップ状に切断する前に抵抗層16の表面に形成してもよい。

【0010】また上記第1のフィルタ10では第2及び第3内部電極12、13をそれぞれ1枚ずつ配設したが、図7及び図8に示すように第2内部電極32、32及び第3内部電極33、33をセラミック誘電体を介して第1内部電極11を挟むように2枚ずつそれぞれ設けてもよく、第2及び第3内部電極と第1内部電極をセラミック誘電体を介して交互に複数枚配設してもよい。

【0011】また本発明の第2のチップ型低域フィルタ50は第1のフィルタ10の抵抗層16をインダクタ層56に置き換えたことを除いて第1のフィルタ10と同

様に作製される。更に上記第2のフィルタ50では第2及び第3内部電極12、13をそれぞれ1枚ずつ配設したが、図15及び図16に示すように第2内部電極72、72及び第3内部電極73、73をセラミック誘電体を介して第1内部電極11を挟むように2枚ずつそれぞれ設けてもよく、第2及び第3内部電極と第1内部電極をセラミック誘電体を介して交互に複数枚配設してもよい。

## 【0012】

【作用】第1のチップ型RC低域フィルタ10又は30は一方の端子電極21と抵抗層16と他方の端子電極22からなる抵抗回路と、第1内部電極11と第2内部電極12又は32、32とこれらの間に介在するペアチップの誘電体からなる分布キャパシタンス回路と、第1内部電極11と第3内部電極13又は33、33とこれらの間に介在するペアチップの誘電体からなる分布キャパシタンス回路とを構成し、図6の等価回路で示される。第2のチップ型LC低域フィルタ50又は70は一方の端子電極21とインダクタ層56と他方の端子電極22からなるインダクタ回路と、第1内部電極11と第2内部電極12又は72、72とこれらの間に介在するペアチップの誘電体からなる分布キャパシタンス回路と、第1内部電極11と第3内部電極13又は73、73とこれらの間に介在するペアチップの誘電体からなる分布キャパシタンス回路とを構成し、図14の等価回路で示される。

【0013】図5又は図13に示すように、チップ状に切断する前に又は後でレーザビーム光などにより抵抗層16又はインダクタ層56に所望の長さだけ切込み16a、16b又は56a、56bを入れれば、所望のRC時定数又はLC時定数が得られる。抵抗層16の表面やインダクタ層56の表面に絶縁膜18をそれぞれ形成すると、第一に端子電極21、22や中央電極18のはんだ耐熱性向上のためにNiめっきを、又ははんだ付け性向上のためにSnめっきをそれぞれ端子電極21、22や中央電極18に施す場合にめっきが抵抗層16又はインダクタ層56に直接付着せず、抵抗値やインダクタンスが変わらない。また第二にチップ型フィルタ10又は50の使用環境が高温多湿であってもフィルタ特性が変わらない。

## 【0014】

【実施例】次に本発明の実施例を図面に基づいて詳しく説明する。

<実施例1>図1～図5に示すように、本発明の第1のチップ型低域フィルタはRC低域フィルタであり、セラミック誘電体からなるペアチップ14と、第1～第3内部電極11～13と、抵抗層16と、一対の端子電極21、22と、中央電極17を備える。このチップ型低域フィルタ10は次の方法により作られる。先ずPb系リラクサ材料で作られたセラミック誘電体グリーンシート

を積層してセラミック誘電体層を形成した後、所定のバターンでAg系の厚膜ベーストをスクリーン印刷し乾燥して同一平面内に等間隔に多数の第1内部電極11を形成し、この上にこれらの内部電極11を全て被覆するようにして上述したセラミック誘電体層と同形同大のセラミック誘電体層を積層した。このセラミック誘電体層上の第1内部電極11に相応する位置に第1内部電極11の個々のバターンと幅が同一で長さが約半分のバターンでAg系の厚膜ベーストをスクリーン印刷し乾燥することにより、互いに所定の間隔をあけた多数組の第2及び第3内部電極12、13を形成した。この上にこれらの内部電極12、13を全て被覆するようにして上述したセラミック誘電体層と同形同大のセラミック誘電体層を積層した。

【0015】次いでこの積層体を焼成して誘電体の層厚がそれぞれ5～数100μmで第1～第3内部電極11～13が内蔵された板状のセラミック焼結体を形成した後、この焼結体の表面に所定のバターンでRuO<sub>x</sub>系厚膜ベーストを第2及び第3内部電極12、13に相応する位置にスクリーン印刷し焼成した。これにより厚さ5～数100μmの抵抗層16が形成され、この抵抗層16は第1～第3内部電極11～13より幅が僅かに小さく長さが第1内部電極11より長く形成される。また第1内部電極11の中央両側部には同一平面内に両側方に突出する一対の突起11a、11aがそれぞれ形成される(図2及び図3)。

【0016】次に抵抗層16の側部に所定の間隔をあけてレーザビーム光により所望の長さだけ一対の切込み16a、16bを入れた後に(図5)、この焼結体を第2及び第3内部電極12、13を1組にしてダイヤモンドソーでチップ状に切断した。得られたペアチップ14をバレル研磨することによりその一方の端面に第2内部電極12の他端部及び抵抗層16の一端部を露出させ、他方の端面に第3内部電極13の他端部及び抵抗層16の他端部を露出させ、更に中央両側面に第1内部電極11の一対の切込み11a、11aを露出させた。

【0017】ペアチップ14の一端部にAg-Pdの導電性ベーストを塗布し焼付けて第2内部電極12の他端部及び抵抗層16の一端部に導通するように一方の端子電極21を形成し、ペアチップ14の他端部に上記導電性ベーストを塗布し焼付けて第3内部電極13の他端部及び抵抗層16の他端部に導通するように他方の端子電極22を形成した後、ペアチップ14の抵抗層16の表面にガラスベーストを塗布して焼成してSiO<sub>2</sub>を主成分とする厚さ5～数10μmの絶縁膜18(図1、図2及び図5)を形成した。更にペアチップ14の中央周囲に上記導電性ベーストを塗布し焼付けて第1内部電極11の一対の突起11a、11aに導通するように中央電極17を形成することにより、チップ型RC低域フィルタ10を作製した。

【0018】<実施例2>図7及び図8に示すように、第2内部電極32、32及び第3内部電極33、33がセラミック誘電体を介して第1内部電極11を挟むように第2内部電極32、32及び第3内部電極33、33をそれぞれ2枚ずつ配設したことを除いて、上記実施例1と同様にしてチップ型RC低域フィルタ30を作製した。これにより第2内部電極32、32及び第3内部電極33、33の面積が実施例1の第2内部電極及び第3内部電極より約2倍に増大するため、第1内部電極11及び第2内部電極32、32間の各距離と、第1内部電極11及び第3内部電極33、33間の各距離と、セラミック誘電体とを実施例1と同一にすれば、キャパシタンスが2倍になる。従ってキャパシタンスを実施例1と同一にすれば、フィルタ30の厚さは増大するが、フィルタ30の面積は約1/2で済む。図7及び図8において上記実施例1と同一符号は同一部品を示す。

【0019】<実施例3>第2のチップ型低域フィルタ50はLC低域フィルタであり、実施例1と同様にしてセラミック焼結体を形成し、図9～図13に示すようにこのセラミック焼結体の上に実施例1のRuO<sub>x</sub>系厚膜ペーストの代わりにフェライト又は強磁性体の厚膜ペーストを実施例1と同様にスクリーン印刷し焼成した。これにより厚さ5～数100μmのインダクタ層56が形成された。その後実施例1と同様にしてインダクタ層56に一对の切込み56a、56bを入れたことを除いて、上記実施例1と同様にしてチップ型LC低域フィルタ50を作製した。図9～図13において上記実施例1と同一符号は同一部品を示す。

【0020】<実施例4>図15及び図16に示すように、第2内部電極72、72及び第3内部電極73、73がセラミック誘電体を介して第1内部電極11を挟むように第2内部電極72、72及び第3内部電極73、73をそれぞれ2枚ずつ配設したことを除いて、上記実施例3と同様にしてチップ型LC低域フィルタ70を作製した。これにより第2内部電極72、72及び第3内部電極73、73の面積が実施例3の第2内部電極及び第3内部電極より約2倍に増大するため、第1内部電極11及び第2内部電極72、72間の各距離と、第1内部電極11及び第3内部電極73、73間の各距離と、セラミック誘電体とを実施例3と略同一にすれば、キャパシタンスが約2倍になる。従ってキャパシタンスを実施例3と同一にすれば、フィルタ70の厚さは増大するが、フィルタ70の面積は約1/2で済む。図15及び図16において上記実施例3と同一符号は同一部品を示す。

【0021】

【発明の効果】以上述べたように、本発明のチップ型低域フィルタは、チップ内部に形成した第1内部電極と第2及び第3内部電極とによりそれぞれコンデンサを構成し、チップ表面に抵抗層又はインダクタ層を形成したので、1チップの極めて小型の形態でRC又はLCの機能を具備でき、高密度にプリント回路基板に実装することができる。また抵抗層又はインダクタ層に所望の長さだけ切込みを入れれば、所望のRC時定数又はLC時定数が得られる。更に抵抗層表面及びインダクタ層表面に絶縁膜を形成すれば、端子電極や中央電極のめっき処理時にめっきが抵抗層及びインダクタ層に直接付着せず、またチップ型低域フィルタの使用環境が高温多湿であっても、それぞれフィルタ特性が変わらない。

#### 【図面の簡単な説明】

【図1】本発明実施例1のチップ型低域フィルタを示す図3のA-A線断面図。

【図2】図1のB-B線断面図。

【図3】図1のC-C線断面図。

【図4】図1のD-D線断面図。

【図5】そのチップ型低域フィルタの要部破断斜視図。

【図6】その等価回路図。

【図7】本発明の実施例2を示す図1に対応する断面図。

【図8】図7のE-E線断面図。

【図9】本発明の実施例3を示す図11のF-F線断面図。

【図10】図9のG-G線断面図。

【図11】図9のH-H線断面図。

【図12】図9のI-I線断面図。

【図13】そのチップ型低域フィルタの要部破断斜視図。

【図14】その等価回路図。

【図15】本発明の実施例4を示す図9に対応する断面図。

【図16】図15のJ-J線断面図。

#### 【符号の説明】

10, 30, 50, 70 チップ型低域フィルタ

11～13, 32, 33, 72, 73 内部電極

14 ベアチップ

16 抵抗層

16a, 16b, 56a, 56b 切込み

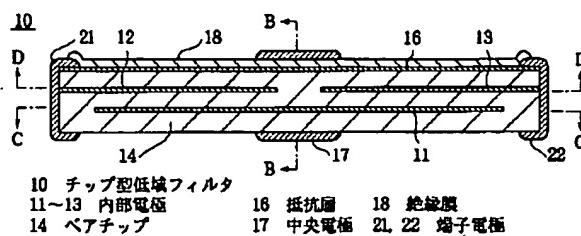
17 中央電極

18 絶縁膜

21, 22 端子電極

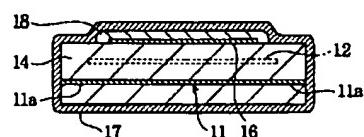
56 インダクタ層

【図1】

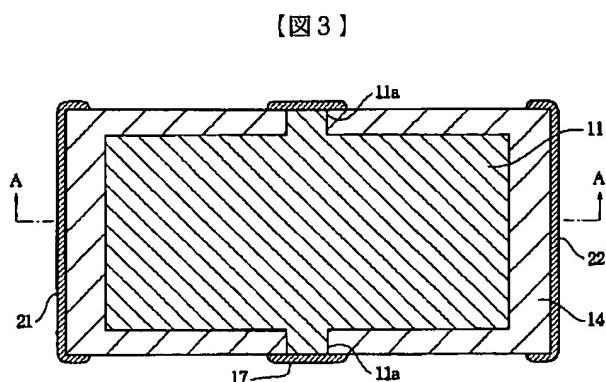


10 チップ型低域フィルタ  
11~13 内部電極  
14 ペアチップ  
16 抵抗層  
17 中央電極  
18 絶縁膜  
21, 22 端子電極

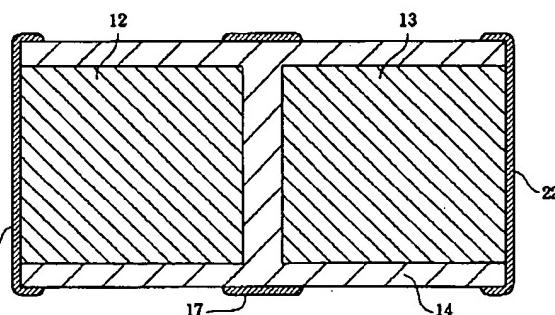
【図2】



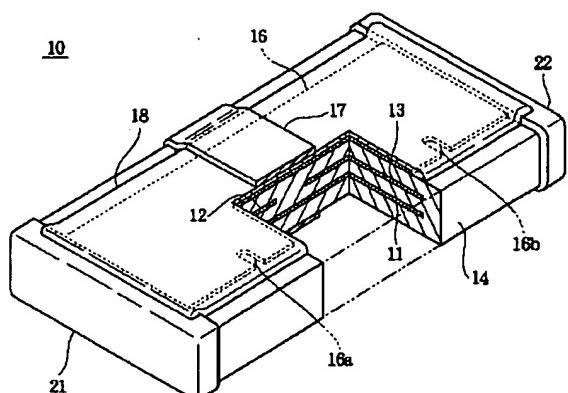
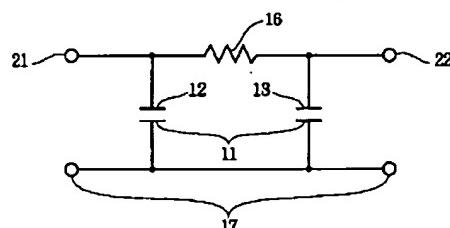
【図4】



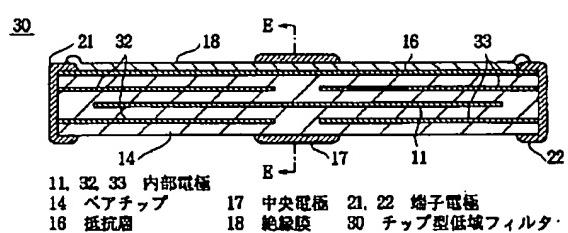
【図3】



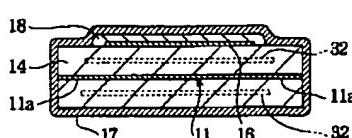
【図6】



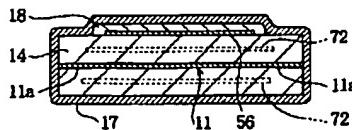
【図7】



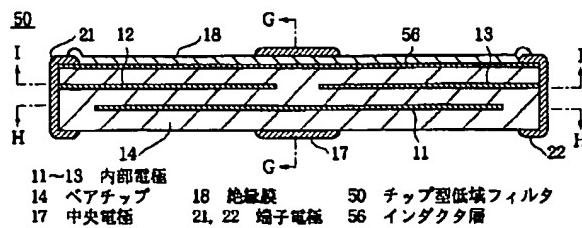
11, 32, 33 内部電極  
14 ペアチップ  
16 抵抗層  
18 絶縁膜  
21, 22 端子電極  
80 チップ型低域フィルタ



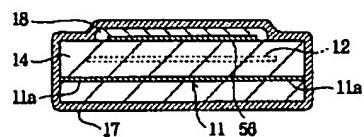
【図16】



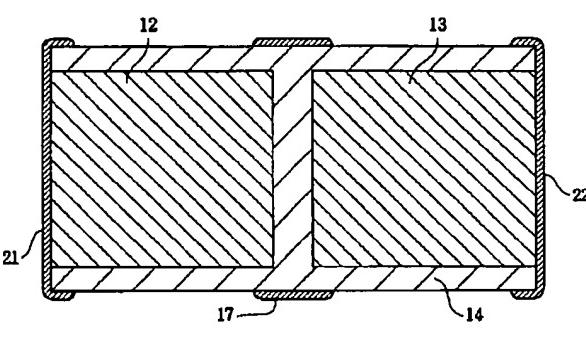
【図9】



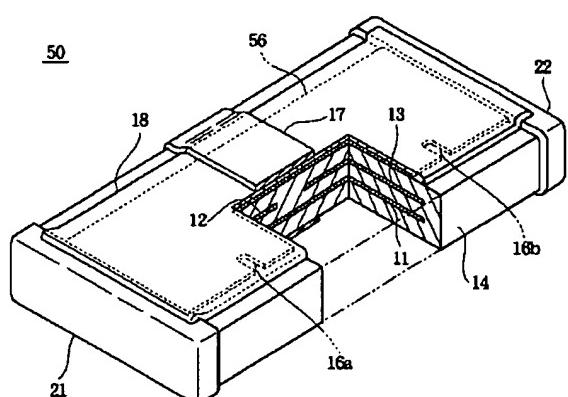
【図10】



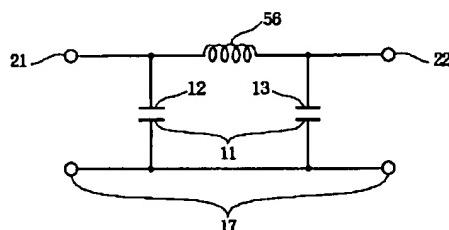
【図12】



【図13】



【図14】



【図15】

